CMOS 単電源 シャットダウン機能付き レール to レール入／出力オペアンプ

AD8591/AD8592/AD8594

特長

単電源動作：＋2.5 ～ ＋6 V まで
高出力電流：±250 mA
極めて低いシャットダウン電源電流：100 nA
低い電源電流：アンプ当たり750 μA
広帯域幅：3 MHz
スルーレート：5 V/μs
位相反転なし
超低入力バイアス電流
シャットダウン・モード時の高インピーダンス出力
安定したユニティ・ゲイン

アプリケーション

モバイル通信用ハンドセットのオーディオ
PC オーディオ
PCMCIA/モデムのライン・ドライブ
バッテリ駆動の計測器
データ・アクイジション
ASIC 入／出力アンプ
LCD ディスプレイ・リファレンス・レベル・ドライバ

概要

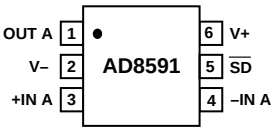
AD8591/AD8592/AD8594 は、それぞれシングル、デュアル、クワッドのレール to レール入／出力単電源アンプで、250 mA の出力ドライブ電流と省電力シャットダウン・モードを特長とします。AD8592 は、内蔵する各アンプを個別にシャットダウンでき、両方のアンプがともにシャットダウン・モードに設定されているときは、電源電流の合計は、1μA 未満まで下がります。AD8591 および AD8594 のシャットダウンは、マスター・シャットダウン機能によって一括制御されますが、この場合にもシャットダウン時の電源電流の合計は、1 μA 未満まで下がります。シャットダウン・モードでは、すべてのアンプの出力が高インピーダンスになります。

AD8591/AD8592/AD8594 は、入力バイアス電流が非常に低く、インテグレータおよびダイオードの増幅に適しています。また、実質的にあらゆる容量性負荷に対して安定した出力が得られます。なお、アクティブ・モードでのアンプ 1 基当たりの電源電流は、750μA 未満です。

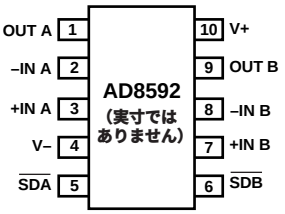
AD8591/AD8592/AD8594 のアプリケーションとしては、ポータブル・コンピュータ用オーディオ・アンプ、携帯電話のヘッドセット、サウンド・ポート、サウンド・カードおよびセットトップ・ボックスなどが挙げられます。AD859x ファミリは、LCD パネルのリファレンス・レベルのような大容量性負荷のドライブもできます。

さらに、レール to レールのスイングが得られるので、CMOS D/AC、ASIC といった広範な出力スイング・デバイスを単電源システムでバッファすることが可能になります。

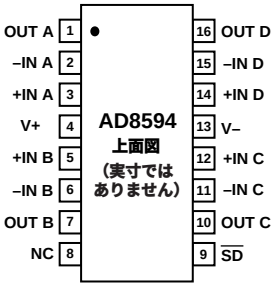
ピン構成
6ピン SOT
（サフィクス：RT）



10ピン μSOIC
（サフィクス：RM）

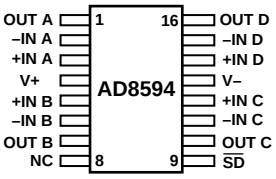


16ピン狭体SOIC
（サフィクス：R）



NC = 接続なし

16ピン TSSOP
（サフィクス：RU）



NC = 接続なし

AD8591/AD8592/AD8594 は、産業温度範囲（－40 ～ ＋85 ℃）全域で仕様規定されています。シングルの AD8591 は、非常に小さい 6 ピン SOT、デュアルの AD8592 は10ピン μSOIC 表面実装パッケージ、クワッドの AD8594 には、16ピン狭体SOIC および 16ピン TSSOP パッケージが用意されています。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第3者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

REV.A

アナログ・デバイセズ株式会社

本　　社／東京都港区海岸１－１６－１ ニューピア竹芝サウスタワービル 電話03（5402）8200　〒105－6891
大阪営業所／大阪市淀川区宮原３－５－３６ 新大阪第２森ビル 電話06（6350）6868(代)　〒532－0003

AD8591/AD8592/AD8594—仕様

電気的特性（特に指定のない限り、V_S＝＋2.7 V, V_{CM}＝＋1.35 V, T_A＝＋25 ℃ とします）

パラメータ	記号	条件	Min	Typ	Max	単位
入力特性						
オフセット電圧	V_{OS}				25	mV
		−40 ℃＜T_A＜＋85 ℃			30	mV
入力バイアス電流	I_B			5	50	pA
		−40 ℃＜T_A＜＋85 ℃			60	pA
入力オフセット電流	I_{OS}			1	25	pA
		−40 ℃＜T_A＜＋85 ℃			30	pA
入力電圧範囲			0		＋2.7	V
コモン・モード電圧除去比	CMRR	V_{CM}＝0 ～ ＋2.7 V	38	45		dB
大信号電圧ゲイン	A_{VO}	R_L＝2 kΩ, V_O＝＋0.3 ～ ＋2.4 V		25		V/mV
オフセット電圧ドリフト	$\Delta V_{OS}/\Delta T$			20		μV/℃
バイアス電流ドリフト	$\Delta I_B/\Delta T$			50		fA/℃
オフセット電流ドリフト	$\Delta I_{OS}/\Delta T$			20		fA/℃
出力特性						
出力電圧High	V_{OH}	I_L＝10 mA	＋2.55	＋2.61		V
		−40 ～ ＋85 ℃	＋2.5			V
出力電圧Low	V_{OL}	I_L＝10 mA		60	100	mV
		−40 ～ ＋85 ℃			125	mV
出力電流	I_{OUT}			±250		mA
オープン・ループ・インピーダンス	Z_{OUT}	f＝1 MHz, A_V＝1		60		Ω
電源						
電源電圧除去比	PSRR	V_S＝＋2.5 ～ ＋6 V	45	55		dB
電源電流／アンプ	I_{SY}	V_O＝0 V			1	mA
		−40 ℃＜T_A＜＋85 ℃			1.25	mA
シャットダウン・モード電源電流	I_{SD}	全アンプをシャットダウン		0.1	1	μA
		−40 ℃＜T_A＜＋85 ℃			1	μA
	I_{SD1}	アンプ1をシャットダウン（AD8592）			1.4	mA
	I_{SD2}	アンプ2をシャットダウン（AD8592）			1.4	mA
シャットダウン入力						
ロジック High 電圧	V_{INH}	−40 ℃＜T_A＜＋85 ℃	＋1.6			V
ロジック Low 電圧	V_{INL}	−40 ℃＜T_A＜＋85 ℃			＋0.5	V
ロジック入力電流	I_{IN}	−40 ℃＜T_A＜＋85 ℃			1	μA
ダイナミック性能						
スルーレート	SR	R_L＝2 kΩ		3.5		V/μs
セトリング・タイム	t_S	0.01 % まで		1.4		μs
ゲイン帯域幅積	GBP			2.2		MHz
位相マージン	Φ_O			67		度
チャンネル分離度	CS	f＝1 kHz, R_L＝2 kΩ		65		dB
ノイズ性能						
電圧ノイズ密度	e_n	f＝1 kHz		45		nV/√Hz
		f＝10 kHz		30		nV/√Hz
電流ノイズ密度	i_n	f＝1 kHz		0.05		pA/√Hz

仕様は、予告なく変更されることがあります。

電気的特性（特に指定のない限り、V_S＝＋5.0 V, V_{CM}＝＋2.5 V, T_A＝＋25 ℃ とします）

パラメータ	記号	条件	Min	Typ	Max	単位
入力特性						
オフセット電圧	V_{OS}			2	25	mV
		−40 ℃＜T_A＜＋85 ℃			30	mV
入力バイアス電流	I_B			5	50	pA
		−40 ℃＜T_A＜＋85 ℃			60	pA
入力オフセット電流	I_{OS}			1	25	pA
		−40 ℃＜T_A＜＋85 ℃			30	pA
入力電圧範囲			0		＋5	V
コモン・モード電圧除去比	CMRR	V_{CM}＝0 ～ ＋5 V	38	47		dB
大信号電圧ゲイン	A_{VO}	R_L＝2 kΩ, V_O＝＋0.5 ～ ＋4.5 V	15	30		V/mV
オフセット電圧ドリフト	$\Delta V_{OS}/\Delta T$	−40 ℃＜T_A＜＋85 ℃		20		μV/℃
バイアス電流ドリフト	$\Delta I_B/\Delta T$			50		fA/℃
オフセット電流ドリフト	$\Delta I_{OS}/\Delta T$			20		fA/℃
出力特性						
出力電圧High	V_{OH}	I_L＝10 mA	＋4.9	＋4.94		V
		−40 ～ ＋85 ℃	＋4.85			V
出力電圧Low	V_{OL}	I_L＝10 mA		50	100	mV
		−40 ～ ＋85 ℃			125	mV
出力電流	I_{OUT}			±250		mA
オープン・ループ・インピーダンス	Z_{OUT}	f＝1 MHz, A_V＝1		40		Ω
電源						
電源電圧除去比	PSRR	V_S＝＋2.5 ～ ＋6 V	45	55		dB
電源電流／アンプ	I_{SY}	V_O＝0 V			1.25	mA
		−40 ℃＜T_A＜＋85 ℃			1.75	mA
シャットダウン・モード電源電流	I_{SD}	全アンプをシャットダウン		0.1	1	μA
		−40 ℃＜T_A＜＋85 ℃			1	μA
	I_{SD1}	アンプ1をシャットダウン（AD8592）			1.6	mA
	I_{SD2}	アンプ2をシャットダウン（AD8592）			1.6	mA
シャットダウン入力						
ロジック High 電圧	V_{INH}	−40 ℃＜T_A＜＋85 ℃	＋2.4			V
ロジック Low 電圧	V_{INL}	−40 ℃＜T_A＜＋85 ℃			＋0.8	V
ロジック入力電流	I_{IN}	−40 ℃＜T_A＜＋85 ℃			1	μA
ダイナミック性能						
スルーレート	SR	R_L＝2 kΩ		5		V/μs
フルパワー帯域幅	BW_P	ひずみ率＝1 %		325		kHz
セトリング・タイム	t_S	0.01 % まで		1.6		μs
ゲイン帯域幅積	GBP			3		MHz
位相マージン	Φ_O			70		度
チャンネル分離度	CS	f＝1 kHz, R_L＝2 kΩ		65		dB
ノイズ性能						
電圧ノイズ密度	e_n	f＝1 kHz		45		nV/√Hz
		f＝10 kHz		30		nV/√Hz
電流ノイズ密度	i_n	f＝1 kHz		0.05		pA/√Hz

仕様は、予告なく変更されることがあります。

最大絶対定格[1]

電源電圧 …… +6 V
入力電圧 …… GND ～ V_S
差動入力電圧 …… ±6 V
対 GND 出力短絡
　持続時間[2] …… ディレーティング曲線参照
保管温度範囲
　R, RT, RM, RU パッケージ …… −65 ～ +150 ℃
動作温度範囲
　AD8591/AD8592/AD8594 …… −40 ～ +85 ℃
接合温度範囲
　R, RT, RM, RU パッケージ …… −65 ～ +150 ℃
リード温度範囲（ハンダ付け 60 秒）…… +300 ℃

注
1 上記の最大絶対定格を超えるストレスは、デバイスに回復不能なダメージを与えることがあります。このリストはストレス定格を示すことだけを目的とし、これらの条件において、あるいは本仕様書の動作に関するセクションに示した条件を超える条件において、このデバイスの機能的な動作が得られることを意味するものではありません。長時間にわたって最大絶対定格条件で使用すると、デバイスの信頼性に影響が現れることがあります。
2 ±5 V 未満の電源については、電源によって差動入力電圧が制限を受けます。

パッケージ・タイプ	θ_{JA}[1]	θ_{JC}	単位
6ピン SOT-23（RT）	230	92	℃/W
10ピン μSOIC（RM）	200	44	℃/W
16ピン SOIC（R）	120	36	℃/W
16ピン TSSOP（RU）	180	35	℃/W

注
1 θ_{JA} は、最悪条件に対する仕様、つまり表面実装パッケージ用ソケットにデバイスが装着されている場合の仕様です。

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD8591ART	−40 ～ +85℃	6ピン SOT-23	RT-6
AD8592ARM	−40 ～ +85℃	10ピン μSOIC	RM-10
AD8594AR	−40 ～ +85℃	16ピン SOIC	R-16A
AD8594ARU	−40 ～ +85℃	16ピン TSSOP	RU-16

注意

ESD（静電放電）の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。このAD8591/AD8592/AD8594には当社独自のESD保護回路が備えられていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。

標準的な性能特性

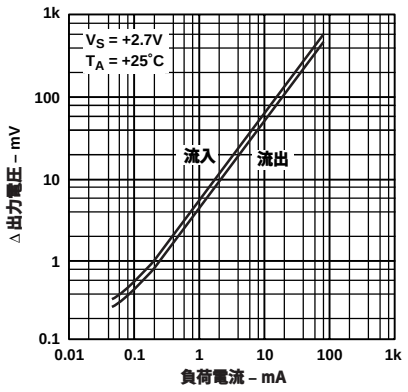


図 1. 負荷電流と電源レールを基準とする出力電圧の関係

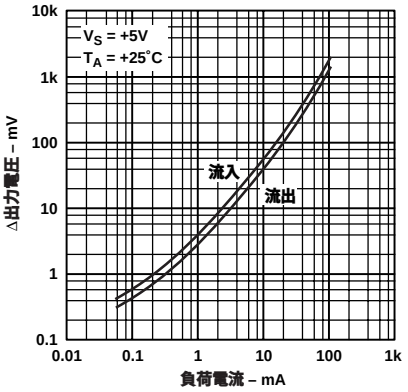


図 2. 負荷電流と電源レールを基準とする出力電圧の関係

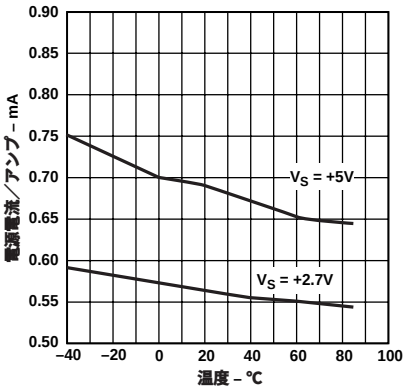


図 3. 温度とアンプ 1 基当たりの電源電流の関係

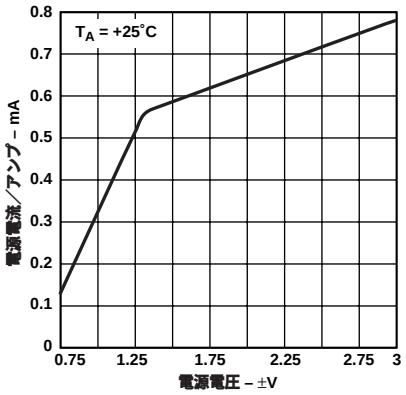


図 4.　電源電圧とアンプ 1 基当たりの電源電流

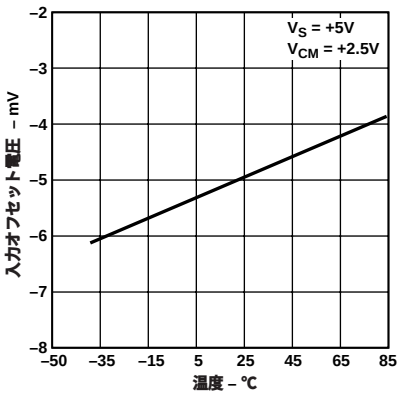


図 5.　温度と入力オフセット電圧

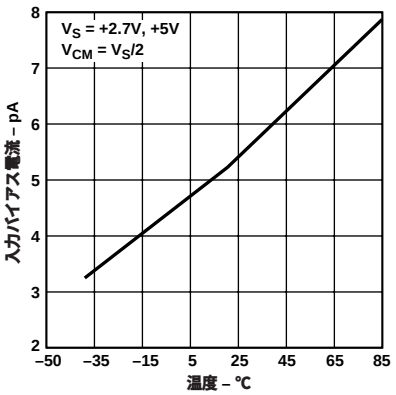


図 6.　温度と入力バイアス電流

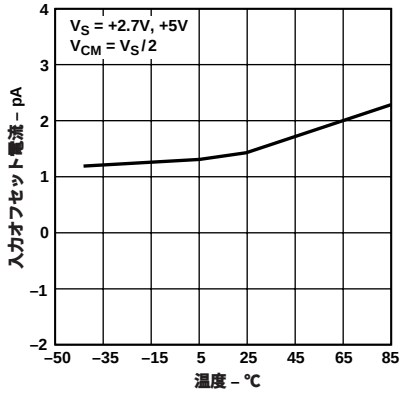


図 7.　温度と入力オフセット電流

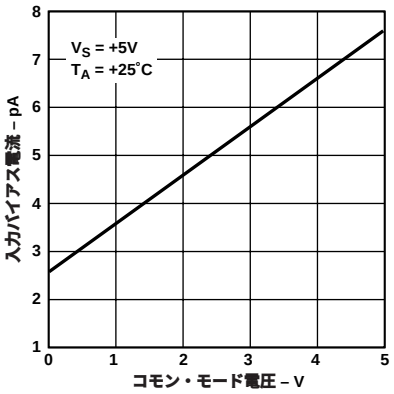


図 8.　コモン・モード電圧と入力バイアス電流

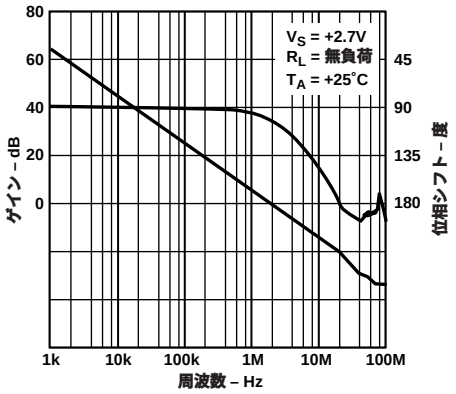


図 9.　周波数とオープン・ループのゲインおよび位相

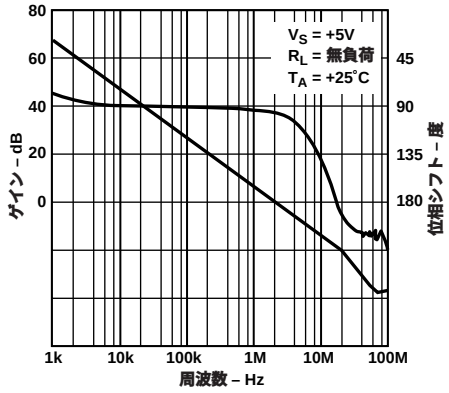


図 10. 周波数とオープン・ループのゲインおよび位相

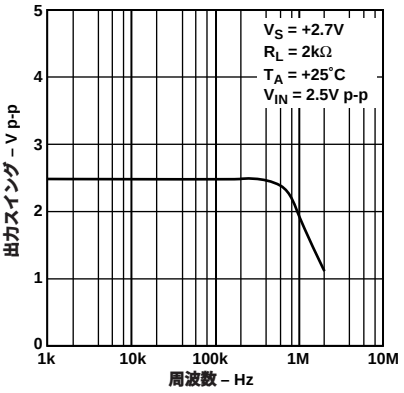


図 11.　周波数とクローズド・ループの出力電圧スイング

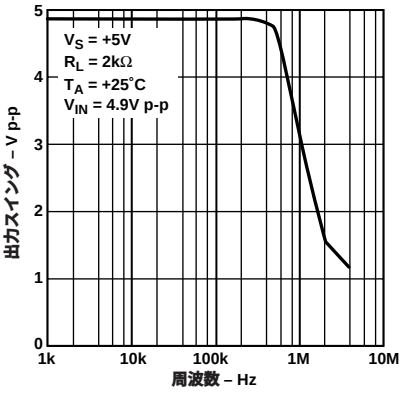


図 12.　周波数とクローズド・ループの出力電圧スイング

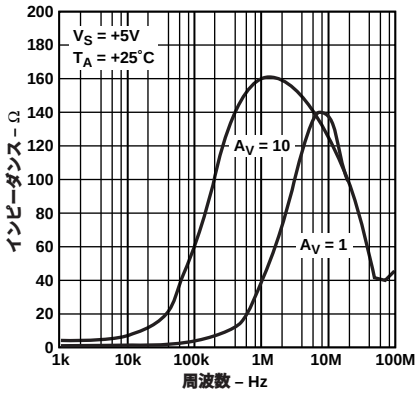


図 13. 周波数とクローズド・ループの出力インピーダンス

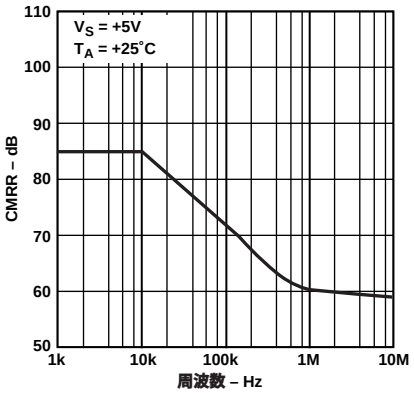


図 14. 周波数とコモン・モード除去比

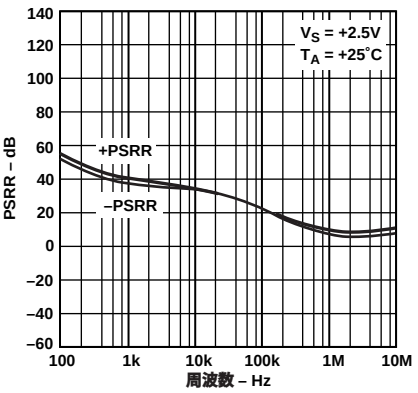


図 15. 周波数と電源電圧除去比

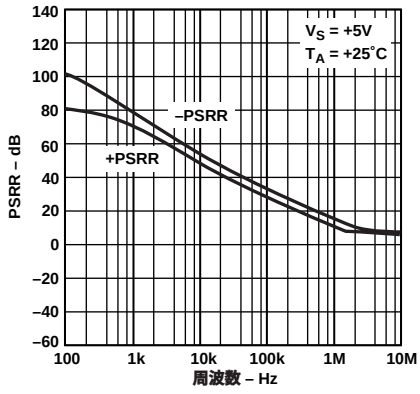


図 16. 周波数と電源電圧除去比

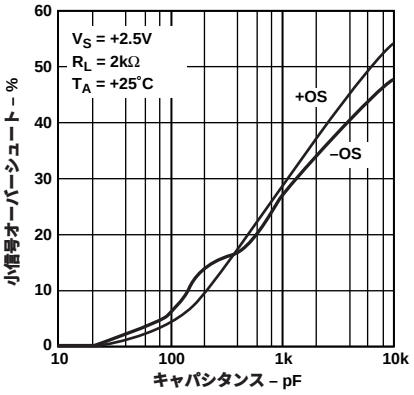


図 17. 負荷キャパシタンスと小信号オーバーシュート

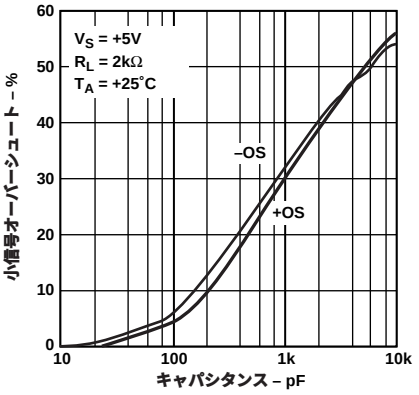


図 18. 負荷キャパシタンスと小信号オーバーシュート

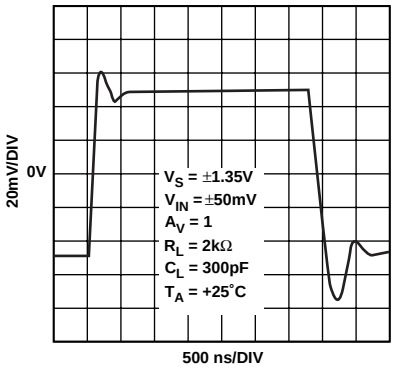


図 19. 小信号過渡応答

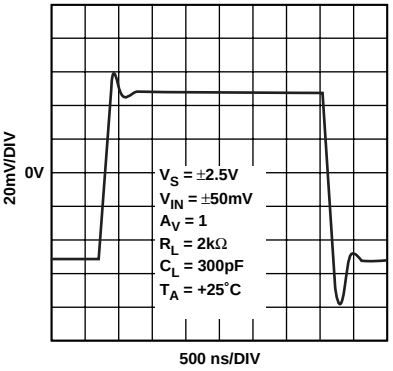


図 20. 小信号過渡応答

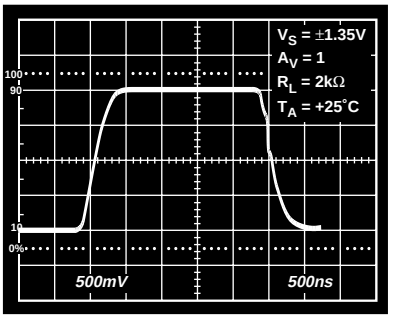


図 21. 大信号過渡応答

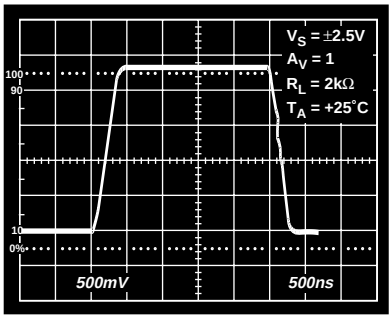


図 22. 大信号過渡応答

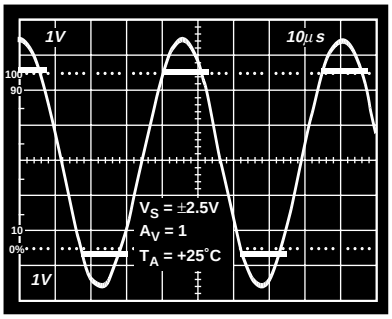


図 23. 非位相反転

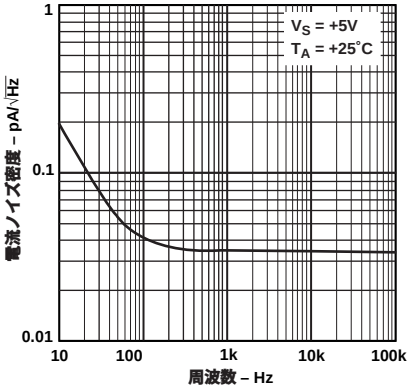


図 24. 周波数と電流ノイズ密度

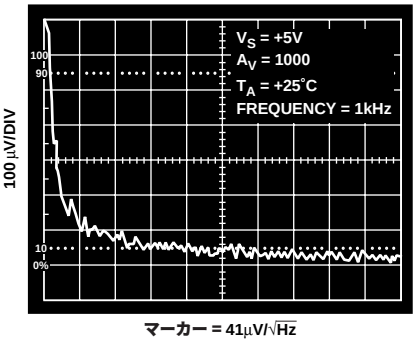


図 25. 周波数と電圧ノイズ密度

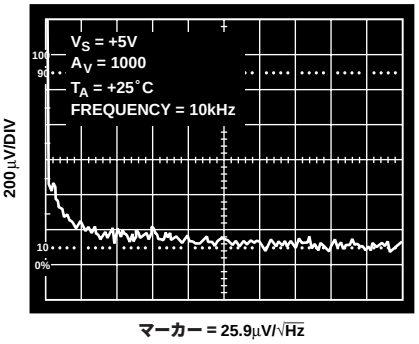


図 26. 周波数と電圧ノイズ密度

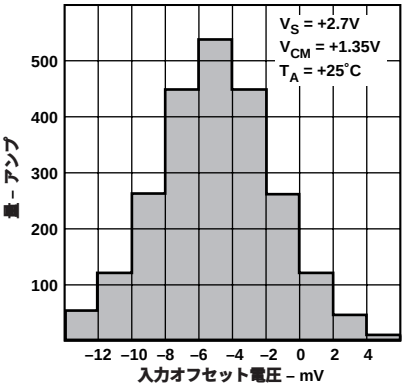


図 27. 入力オフセット電圧の分布

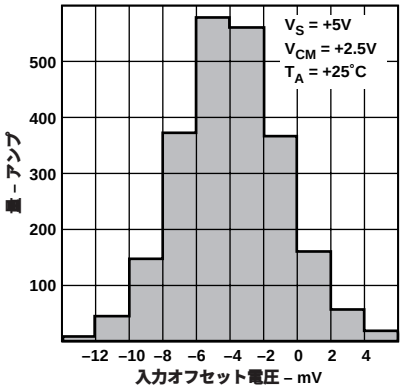


図 28. 入力オフセット電圧の分布

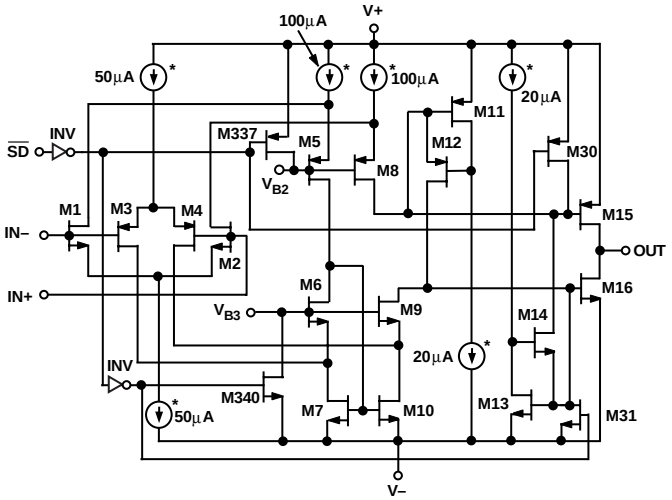
AD8591/AD8592/AD8594 アプリケーション・セクション

動作理論

AD859x ファミリーのアンプはすべて、低価格、高出力電流ドライブのために設計された CMOS、高出力ドライブ、レール to レール入／出力信号の単電源アンプです。AD8591/AD8592/AD8594 は、省電力に役立つシャットダウン機能を備え、ポータブルのマルチメディア・アプリケーションやテレコム・アプリケーションに理想的なオペアンプと言えます。

図 29 は、AD8591/AD8592/AD8594 を簡略化して示した回路図です。nチャンネルのペア（M1～M2）および pチャンネルのペア（M3～M4）を構成している 2 組の入力差動ペアが、レール to レールのコモン・モード範囲を規定します。各入力差動ペアの出力は、複合折り返しカスケード段の中で合成され、第 2 の差動ペア・ゲイン段に対する入力をドライブします。第 2 のゲイン段の出力は、レール to レール出力段に対するゲート電圧ドライブとなります。

レール to レール出力段は、M15 および M16 から構成され、共通ソース構造を有しています。この出力段のゲイン、つまりアンプのオープン・ループ・ゲインは、他のレール to レール出力アンプと同様に、負荷抵抗に依存します。また、最大出力電圧スイングは、負荷電流に正比例します。電源レールと最大出力電圧の差、いわゆるドロップアウト電圧については、AD8591/AD8592/AD8594 の場合は、出力トランジスタのオン・チャンネル抵抗によって決定されます。図 1 および図 2 に、この出力ドロップアウト電圧を示しました。



＊注：シャットダウン・モードでは、
すべての電流ソースが 0μA になります。

図 29.　AD8591/AD8592/AD8594 の簡略回路図

入力電圧保護

この簡略回路図には示されていませんが、それぞれの入力から各電源レールに向かって ESD 保護ダイオードが接続されています。これらのダイオードは、通常、逆方向バイアスになっていますが、いずれか一方の入力電圧が対応する電源レールを超えて、その差が＋0.6 V になるとオンになります。このような状態が発生した場合には、入力電流を ±5mA 内に抑えなければなりません。これは、入力と直列に抵抗を挿入することによって可能です。挿入する抵抗の最小値は、次式から求められます。

$$R_{IN} \geqq \frac{V_{IN,MAX}}{5\,mA} \qquad (1)$$

出力位相反転

AD8591/AD8592/AD8594 は、入力電圧がデバイスの電源電圧の範囲内にある限り、出力電圧の位相反転を起こすことがありません。しかし、いずれかの入力電圧が電源レールを超えて、その差が＋0.6 V より大きくなると、出力の位相が反転するおそれがあります。これは、ESD 保護ダイオードが順方向バイアスになり、入力端子の極性を切り替えてしまうためです。

入力電圧が電源電圧を超える可能性のあるアプリケーションでは、「入力過電圧保護」のセクションに提案したテクニックを適用してください。

出力の短絡保護

AD859x ファミリーの出力は、高出力電流ドライブおよびレール to レール特性を達成するために、短絡保護回路を内蔵していません。これらのアンプは、最大 250 mA の出力電流までのシンクもしくはソースに耐えるように設計されていますが、出力と正の電源が直接接続されると、デバイスがダメージを受けたり、破壊されることがあります。したがって、出力電流を ±250 mA に抑えて、出力段を保護する必要があります。

図 30 に示したように、アンプ出力と直列に抵抗を挿入することによって、出力電流を制限することが可能です。次の式 (2) は、この抵抗 R_X の最小値を求める式を表しています。

$$R_X \geqq \frac{V_{SY}}{250\,mA} \qquad (2)$$

これによれば、＋5 V の単電源アプリケーションの場合には、R_X が少なくとも 20Ω である必要があります。この R_X は、フィードバック・ループの内側に取り込まれてしまうので、V_{OUT} への影響はありません。R_X を使用することによるトレードオフは、出力電流負荷が重い場合に、出力電圧スイングがわずかに圧迫されることです。また、R_X を挿入することによって、アンプの有効出力インピーダンスが R_O＋R_X に増加します。ただし、この R_O は、デバイスの出力インピーダンスとします。

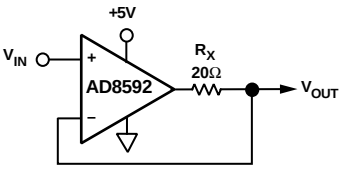


図 30.　出力の短絡保護

消費電力

AD859x ファミリーのアンプには、最大で 250 mA の負荷電流を供給する能力がありますが、デバイスの最大接続温度を超えることのないように充分な注意を払う必要があります。この接続温度は、次式から求めることができます。

$$T_J = P_{DISS} \times \theta_{JA} + T_A \qquad (3)$$

これにおいて、T_J = AD859x の接続温度

P_{DISS} = AD859x の消費電力

θ_{JA} = AD859x のパッケージによる接続部対周辺温度抵抗

T_A = 回路の周辺温度

どのようなアプリケーションにおいても、絶対最大接続温度が＋150 °C を超えてはなりません。この接続温度を超えると、デバイスが回復不能なダメージを受けるおそれがあります。出力電圧と出力電流が同位相となる場合、たとえば、純粋抵抗性負荷が接続されている場合、AD859x の消費電力は次式で表されます。

$$P_{DISS} = I_{LOAD} \times (V_{SY} - V_{OUT}) \quad (4)$$

これにおいて、I_{LOAD}＝AD859x の出力負荷電流
V_{SY}＝AD859x の電源電圧
V_{OUT}＝出力電圧
をそれぞれ表します。

デバイスの消費電力を算出し、パッケージ・タイプに応じた温度抵抗を使用すれば、式 (3) から、アプリケーション固有の最大許容周辺温度が求まります。

容量性負荷

AD859x には、すぐれた容量性負荷のドライブ能力があり、10 nF までであれば直接ドライブすることができます。このデバイスは、大きな容量性負荷に対して安定性を維持しますが、容量性負荷の増加に伴ってアンプの帯域幅が減少します。図 31 は、容量性負荷に対する AD8592 のユニティ・ゲイン帯域幅の変化を表したグラフです。

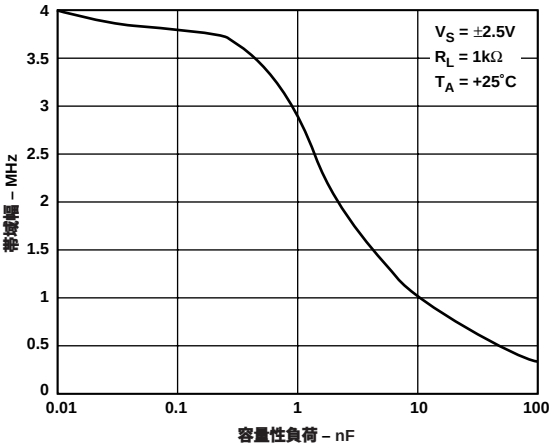


図 31. 容量性負荷とユニティ・ゲイン帯域幅の関係

AD859x の出力から直接大きな容量性負荷をドライブするときは、スナバー回路を使用することにより、過渡応答を改善することができます。この回路は直列 R-C からなり、容量性負荷と並列にアンプ出力とグラウンドの間に挿入します。図 32 は、その構成を示しています。この回路によってアンプの帯域幅が増加することはありませんが、図 33 に示すように、オーバーシュートが劇的に改善されます。

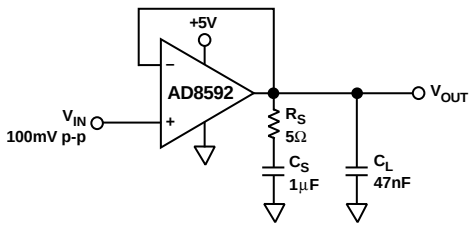


図 32. 容量性負荷を補償するためのスナバー回路の構成

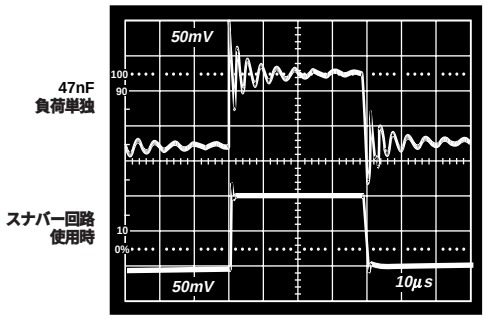


図 33. スナバー回路によって改善される大容量性負荷ドライブ時のオーバーシュートおよびリンギング

スナバー回路を構成する各素子の最適値は、容量性負荷のサイズに基づく経験値から決定されます。次の表 I に、負荷のキャパシタンスに応じたスナバ回路の値の例を示します。

表 I. 大容量性負荷に使用するスナバー回路

負荷キャパシタンス (C_L)	スナバー回路 (R_S, C_S)
0.47 nF	300 Ω, 0.1 µF
4.7 nF	30 Ω, 1 µF
47 nF	5 Ω, 1 µF

PC-98 適合ヘッドフォン／スピーカ・アンプ

AD8592 は、高い出力電流性能とシャットダウン機能を備えており、これを使用してコンピュータ・アプリケーションのオーディオ出力ジャックのドライブに最適なアンプを構成できます。図 34 に、AD8592 と AC97 コーデックをインターフェースさせて、ヘッドフォンまたはスピーカをドライブする方法を示します。

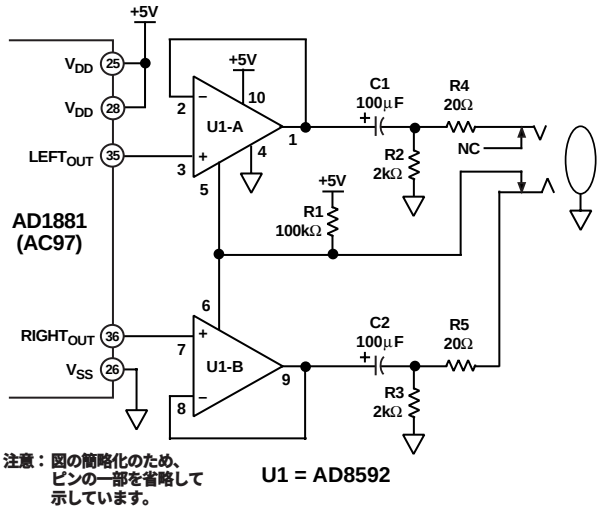
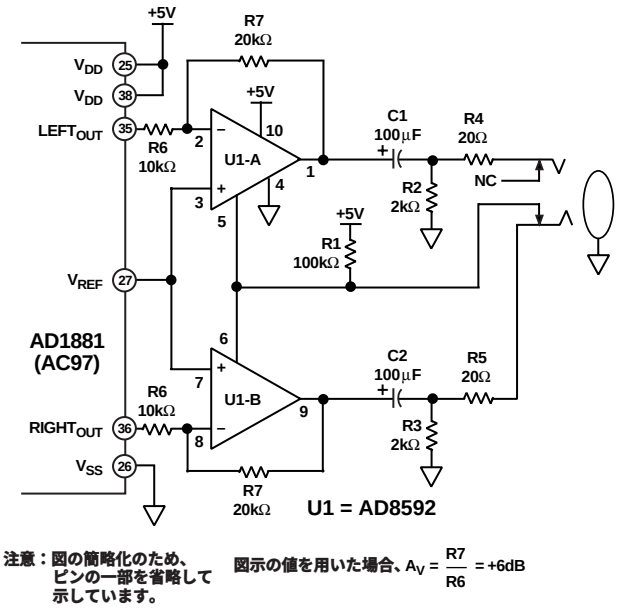


図 34. PC-98 適合ヘッドフォン／ライン・アウト・アンプ

このジャックにヘッドフォンのプラグが差し込まれると、ノーマル・クローズの接点がオーディオ接点から離れます。これによって、AD8592 のシャットダウン・ピンに印加される電圧が＋5 V に引き上げられ、アンプがアクティブになります。この電圧は、出力ジャックにプラグが差し込まれていないと、R1 および R3＋R5 から構成される分圧回路によって 100 mV に引き込まれます。これにより、AD8592 がパワーダウンするので、必要のないときは、電源またはバッテリの電流がセーブされます。

出力アンプからのゲインを必要とする場合には、図 35 に示すように、抵抗を 4 つ追加します。AD8592 のゲインは、次式を用いて設定することができます。

$$A_V = -\frac{R7}{R6} \quad (5)$$



注意：図の簡略化のため、ピンの一部を省略して示しています。

図示の値を用いた場合、$A_V = \frac{R7}{R6} = +6dB$

図 35. ゲインのあるPC-98 適合ヘッドフォン／ライン出力アンプ

リファレンス電圧が AD1881 から供給されるので、どちらの回路も入力結合キャパシタを必要としません。

R4 および R5 は、出力ジャックまたはヘッドフォン・ケーブルがグラウンドと短絡する偶発的な事故から AD8592の出力を保護します。出力結合キャパシタ C1 および C2 は、次式により示されるコーナー周波数を持ったハイパス・フィルタの一部を構成し、ヘッドフォンからの直流電流をブロックします。

$$f_{-3dB} = \frac{1}{2\pi C1(R4+R_L)} \quad (6)$$

この場合、R_L はヘッドフォンの抵抗を表します。

携帯電話およびポータブル・ヘッドセットに用いられる複合型マイクロフォン／スピーカ用アンプ

2 基のアンプを備えた AD8592 を用いれば、マイクロフォンおよびスピーカを備えるヘッドセットとのインターフェースを効率的に設計することができます。図 36 に、コーデックとのインターフェースを構成する簡単な方法を示します。

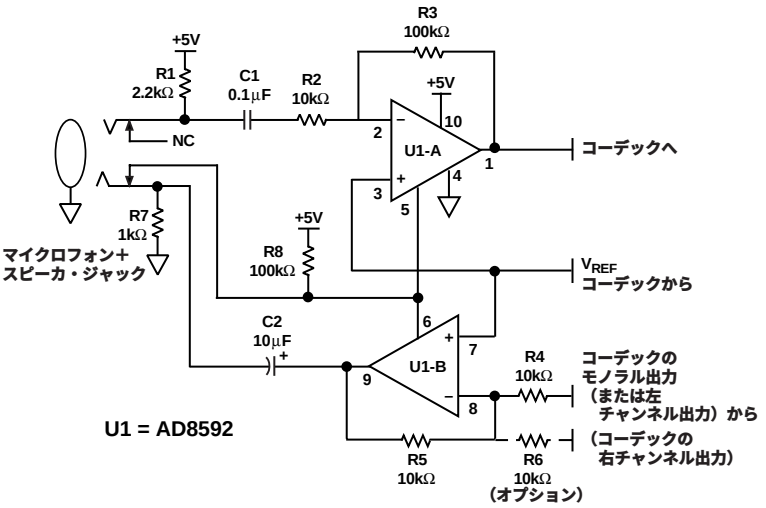


図 36. スピーカ／マイクロフォン・ヘッドセット・アンプの回路

マイクロフォン用のプリアンプに使用される U1-A のゲインは、R3/R2 により与えられます。R1 は、エレクトレット・マイクロフォンのバイアスに使用され、C1 は、アンプからの直流電圧のブロックに使用されます。U1-B は、スピーカ用アンプになり、そのゲインは R5/R4 という式により与えられます。なお、ステレオ出力を合成する場合は、R4 と値の等しい R6 の追加が必要になります。

ヘッドセットを使用しないときは、前のセクションで説明したものと同じ原理を用いて、マイクロフォン／スピーカ・ジャックにより、AD8592 をシャットダウンすることができます。TTL 互換または CMOS 互換のロジックを使用しても AD8592 のシャットダウンを制御できるので、必要に応じてマイクロフォンまたはスピーカをミュートさせることも可能です。

低価格サンプル／ホールド回路

AD8592 は、それぞれのアンプのシャットダウンを独立にコントロールできるので、回路設計の柔軟性が高くなります。この機能が役立つ特別なアプリケーションの設計例の 1 つに、データ・アクイジション用のサンプル／ホールド回路があります。図 37 に、AD8592 単独で 1 つのキャパシタを使用した、単純ですが極めて効果的なサンプル／ホールド回路を紹介します。

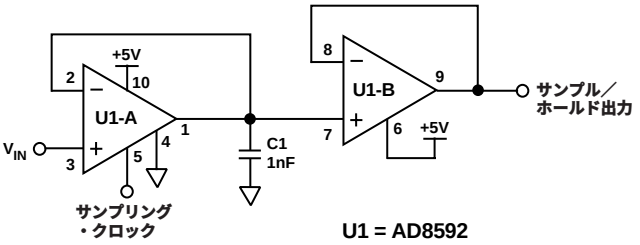


図37. 高効率サンプル／ホールド回路

U1-A アンプは、1 nF のキャパシタをドライブするユニティ・ゲイン・バッファとして構成されています。このアンプでは、非反転入力に入力信号が印加され、サンプリング・クロックによってシャットダウンがコントロールされます。サンプリング・クロックがHighのとき、U1-A アンプがアクティブになって、V_{IN} に応じた電圧を出力します。サンプリング・クロックがLowに転じると、U1-A アンプがシャットダウンしてアンプ出力が高インピーダンスになり、C1 キャパシタの充電電圧がホールドされます。

U1-B アンプは、C1 へのローディングを防止するユニティ・ゲイン・バッファとして使用されます。U1-B の CMOS 入力段の入力バイアス電流が低いこと、およびU1-A アンプがシャットダウンによりハイ・インピーダンス状態になっていることから、ホールド期間の C1 からの電圧ドループはほとんどありません。この回路では、上は 500 kHz から、下は 1 Hz までのサンプリング周波数が使用できます。なお、C1 の値を増加すれば、非常に低いサンプリング・レートを使用する場合でも、一段と低い電圧ドループを達成することが可能です。

PCMCIA モデム用ダイレクト・アクセス装置（電話回線インターフェース）

図 38 は、+5 V の 600Ω システム用の送／受信電話回線インターフェースです。この回路は、トランス結合の 600Ω ライン上での全二重送信を差動方式により実現します。アンプ A1 は、モデム出力のドライブで必要な条件に適合するようにゲインを調整可能です。A1 および A2 は、ともに、単電源で得られる最大可能信号がトランスに印加されるように構成されています。AD8594 は高出力電流ドライブ、低ドロップアウト電圧なので、+5 V 単電源で、600Ω 送信システムの場合、使用できる最大信号は約 4.5 Vp-p になります。アンプ A3 は、差動アンプとして構成されていますが、その理由は 2 つあります。つまり、(1) これにより送信信号と受信信号の干渉を回避できること、および (2) A4 による増幅のために、送信ラインから受信信号を抽出できることです。アンプ A4 のゲインは、A1 と同じ方法により調整し、モデムの入力信号要件に適合させることができます。標準の抵抗値を用いるのであれば、SIP（シングル・インライン・パッケージ）フォーマットの抵抗アレイの使用が可能です。16 ピン TSSOP または SOIC に収められた省スペースの AD8594 と組み合わせて、コンパクトでコスト効果の高いソリューションが実現します。

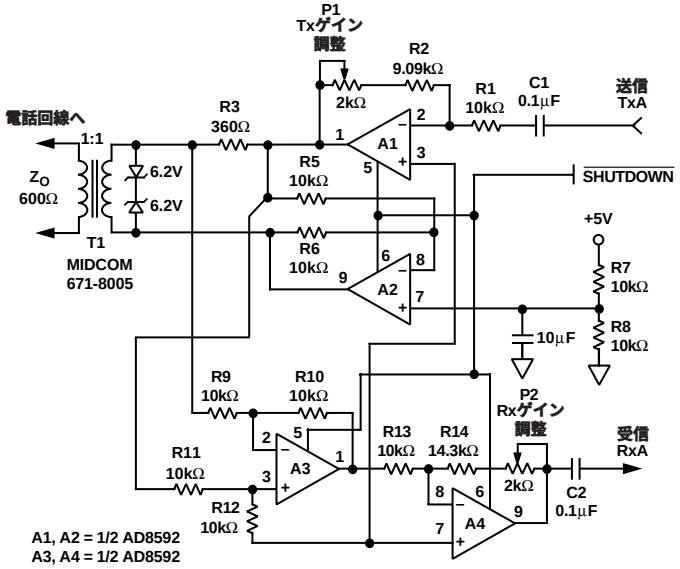


図 38.　PCMCIA モデム用単電源ダイレクト・アクセス装置

単電源差動ライン・ドライバ

図 39 に示した単電源差動ライン・ドライバ回路は、+5 V の単電源で動作して 4 Vp-p の入力信号から 600 Ω の負荷をドライブし、しかも 20 Hz ～ 15 kHz までの範囲のひずみは 0.7 % 未満です。この設計は、AD8594 を使用して完全な平衡型トランス・ベースの特性を 実現します。しかも、極めて省スペースで低歪みを維持し、DC から動作可能です。この設計も、トランス・ベースの設計と同様に、いずれか一方の出力をグラウンドに接続すれば、回路のゲイン（= 1）を変化させることなく、不平衡ライン・ドライバ・アプリケーションとして使用することができます。

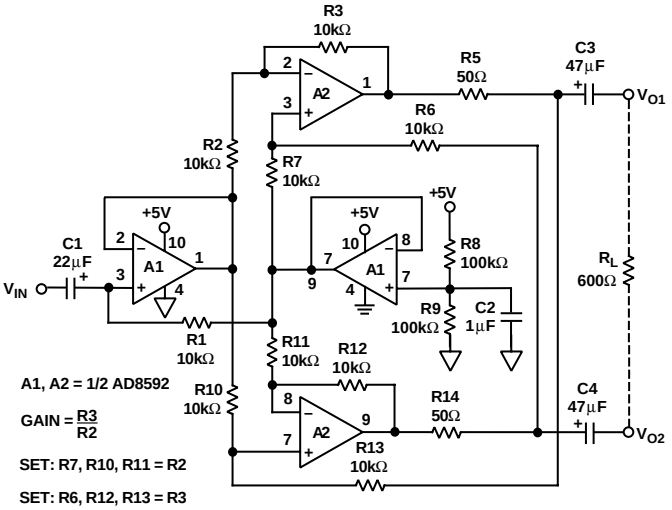


図 39.　低ノイズ単電源差動ライン・ドライバ

R8 および R9 は、コモン・モード出力電圧を電源電圧の 2 分の 1 に等しい値にセットします。C1 は、入力信号のカップリング用ですが、入力の直流電圧が電源電圧の 2 分の 1 に等しいときは、省略することができます。

必要に応じて、この回路にゲインの追加もできます。回路のゲインは、次式によって表されます。

$$A_V = -\frac{V_{OUT}}{V_{IN}} = -\frac{R3}{R2} \qquad (7)$$

これにおいて、 $V_{OUT} = V_{O1} - V_{O2}$

$R2 = R7 = R10 = R11$

$R3 = R6 = R12 = R13$

とします。

AD8591/AD8592/AD8594 アンプ用 SPICE モデル

AD8591/AD8592/AD8594 アンプ用 SPICE モデルは、実際のアンプ特性という意味において、現実と高い一致を見せるコンピュータ・シミュレーション・マクロ・モデルの 1 つです。このモデルは、リスティング 1 に示すようにデバイスの標準値をベースにしており、当社のインターネット・サイト（www.analog.com）からダウンロードすることができます。

このモデルは、共通ソース出力段を使用してレール to レール特性を提供します。これにより、負荷抵抗に対するオープン・ループ・ゲインの依存、および最大出力電圧と出力電流の関係をリアルにシミュレートすることが可能です。このモデルの入力段では、2 組の差動ペアを使用して、AD8591/AD8592/AD8594 アンプのレール to レール入力段のシミュレーションを行っています。

EOS 電圧ソースは、入力オフセット電圧を設定するだけでなく、これを使用してコモン・モード電源電圧除去、およびモデルの入力電圧ノイズ特性のシミュレーションを行うことが可能です。さらに、G2、R2 および CF は、このモデルのオープン・ループ・ゲインの設定、ならびに GB 積（ゲイン帯域幅積）の設定に使用できます。

SPICE モデル には、2 次的な特性も正確に反映されます。フリッカ・ノイズは、入力段トランジスタの KF 項および AF 項を通じてセットされる 1/f のコーナー周波数によって正確にモデリングされます。また、入力セクションにおける C1 および C2 の使用により、2 次ポールを生成して、モデルの正確な位相マージン特性が達成されます。

このモデルは、AD8591/AD8592/AD8594 のシャットダウン回路も備えています。スイッチ S1～S7 は、シャットダウン・モードでオペアンプ回路を非アクティブにします。シャットダウン回路のロジック・スレショルドは、リスティグの末尾近くで、VSWITCH モデル・パラメータを使用して正確にモデリングされます。さらに、電圧制御電流ソース GSY を通じて、実際の電源電流と電源電圧の関係のモデリングも行われます。

このモデルは、＋27 ℃ における AD8591/AD8592/AD8594 アンプの標準値をベースにして特性が設定されています。つまり、モデルの特性が、＋27 ℃ に対して最適化されているので、シミュレーションの温度がこれと異なると精度が下がることもあります。

リスティング 1：AD859x SPICE マクロ・モデル

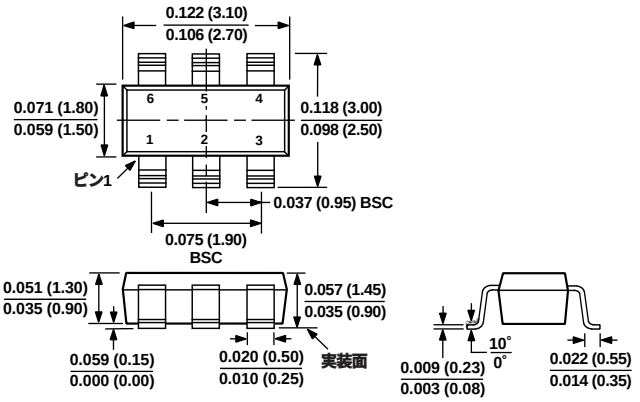
```
* AD8592 SPICE マクロ・モデルの標準値
* 98年9月，バージョン 1
* TAM / ADSC
*
* Copyright 1998 by Analog Devices
*
* 使用許諾契約については、「README.DOC」ファイルを参照して
* ください。このモデルを使用すると、当該使用許諾契約の条件な
* らびに規定に承諾したものとなります。
*
* ノードの割り当て
*                非反転入力
*                |     反転入力
*                |     |     正の電源
*                |     |     |     負の電源
*                |     |     |     |     出力
*                |     |     |     |     |     シャットダウン
*                |     |     |     |     |     |
.SUBCKT AD8592   1     2     99    50    45    80
*
* 入力段
*
M1   4   1   3   3   PIX   L=0.8E-6   W=125E-6
M2   6   7   3   3   PIX   L=0.8E-6   W=125E-6
RC1  4  50   4E3
RC2  6  50   4E3
C1   4   6   2E-12
I1  99   8   100E-6

M3  10   1   12   12   NIX   L=0.8E-6   W=125E-6
M4  11   7   12   12   NIX   L=0.8E-6   W=125E-6
RC3 10  99   4E3
RC4 11  99   4E3
C2  10  11   2E-12
I2  13  50   100E-6

EOS  7   2   POLY(3)   (21,98)   (73,98)   (61,0)
+1E-3 1 1    1
IOS  1   2   2.5E-12
V1  99   9   0.9
D1   3   9   DX
V2  14  50   0.9
D2  14  12   DX
S1   3   8   (82,98)   SOPEN
S2  99   8   (98,82)   SCLOSE
S3  12  13   (82,98)   SOPEN
S4  13  50   (98,82)   SCLOSE
*
* CMRR=64dB,   ZERO AT 20kHz
*
ECM1 20  98   POLY(2)   (1,98)   0   .5   .5
RCM1 20  21   79.6E3
CCM1 20  21   100E-12
RCM2 21  98   50
*
* PSRR=80dB, ZERO AT 200Hz
*
RPS1 70   0   1E6
RPS2 71   0   1E6
CPS1 99  70   1E-5
```

```
CPS2 50  71   1E-5
EPSY 98  72   POLY(2)  (70,0)  (0,71) 0 1 1
RPS3 72  73   1.59E6
CPS3 72  73   500E-12
RPS4 73  98   80
*
* 内蔵電圧リファレンス
*
EREF 98   0   POLY(2)  (99,0)  (50,0) 0 .5 .5
GSY  99  50   POLY(1)  (99,50)  20E-6  10E-7
*
* シャットダウン・セクション
*
E1   81  98   (80,50) 1
R1   81  82   1E3
C3   82  98   1E-9
*
* 30nV/√Hz の電圧ノイズ・リファレンス
*
VN1  60   0   0
RN1  60   0   16.45E-3
HN   61   0   VN1 30
RN2  61   0   1
*
* ゲイン段
*
G2   98  30   POLY(2)  (4,6)  (10,11)  0 2.19E-5 +2.19E-5
R2   30  98   13E6
CF   45  30   5E-12
S5   30  98   (98,82)  SCLOSE
D3   30  31   DX
D4   32  30   DX
V3   99  31   0.6
V4   32  50   0.6
*
* 出力段
*
M5   45  46   99   99    POX  L=0.8E-6  W=16E-3
M6   45  47   50   50    NOX  L=0.8E-6  W=16E-3
EG1  99  48   POLY(1)  (98,30) 1.06 1
EG2  49  50   POLY(1)  (30,98) 1.05 1
RG1  48  46   10E3
RG2  49  47   10E3
S6   46  99   (98,82) SCLOSE
S7   47  50   (98,82) SCLOSE
*
* モデル
*
.MODEL   PIX   PMOS  (LEVEL=2,KP=20E-6,VTO=-0.7, LAMBDA=0.01, AF=1, KF=1E-31)
.MODEL   NIX   NMOS  (LEVEL=2,KP=20E-6,VTO=0.7, LAMBDA=0.01, AF=1, KF=1E-31)
.MODEL   POX   PMOS  (LEVEL=2,KP=8E-6,VTO=-1, LAMBDA=0.067)
.MODEL   NOX   NMOS  (LEVEL=2,KP=13.4E-6,VTO=1, LAMBDA=0.067)
.MODEL   SOPEN  VSWITCH  (VON=2.4, VOFF=0.8, RON=10, ROFF =1E9)
.MODEL   SCLOSE  VSWITCH  (VON=-0.8, VOFF=-2.4, RON=10, ROFF =1E9)
.MODEL   DX D(IS=1E-14)
.ENDS AD8592
```

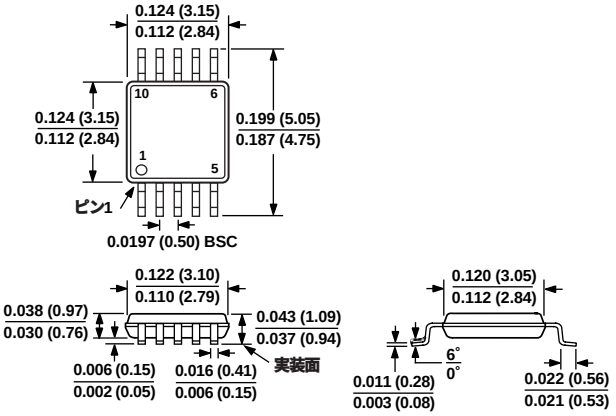
外形寸法

サイズはインチと（mm）で示します。

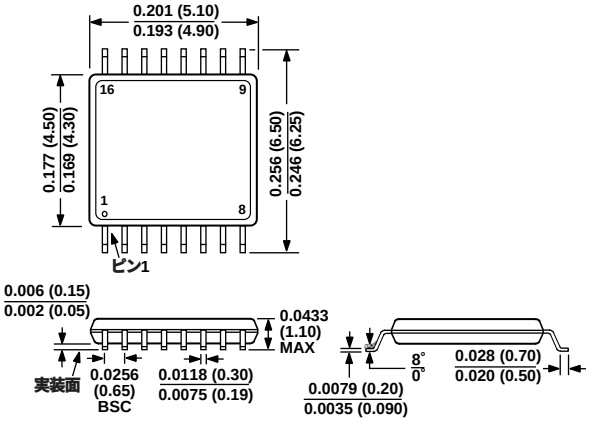
6ピン SOT
（RT-6）



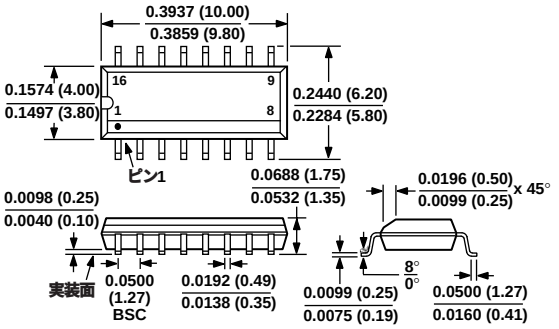
10ピン μSOIC
（RM-10）



16ピン薄型シュリンク・スモール・アウトライン
（RU-16）



16ピン狭体SO
（R-16A）



D9116-2.7-10/99.1A

PRINTED IN JAPAN